

COMPOUND SEMICONDUCTOR DEVICE

Patent Number: JP5074813
 Publication date: 1993-03-26
 Inventor(s): NIKAIDOU JIYUNICHIROU
 Applicant(s): FUJITSU LTD; others: 01
 Requested Patent: JP5074813
 Application Number: JP19910232664 19910912
 Priority Number(s):
 IPC Classification: H01L21/338; H01L29/812
 EC Classification:
 Equivalents: JP3084820B2

Abstract

PURPOSE: To reduce a leakage current component by composing an operating layer of a III-V compound semiconductor layer and changing the composition of the operating layer so that band gap energy is not increased toward a Schottky-junction interface from a buffer interface.
CONSTITUTION: An i-GaAs layer 2a as a buffer layer and an i-Al_{0.23}Ga_{0.77}As layer 2b are formed onto a GaAs substrate 1 through MBE. An n⁺-InGaAs layer, an n-GaAs layer and an n⁻-AlGaAs layer as operating layers 3a, 3b, 3c are grown continuously. An In composition is brought to 0.40 (In_{0.40}Ga_{0.60}As), the temperature of an Si source is set at 1400 deg.C and the temperature of an In source is lowered gradually up to 1000 deg.C and the In composition is brought to zero during growth in 250Angstrom. An Al source is disconnected, a dopant is fed from another Si source, and an n⁺-GaAs contact layer 4 is grown. An AnGe film and an An film are formed continuously onto the contact layer 4 through a vacuum deposition method, thus shaping electrodes 6, 7.

Data supplied from the esp@cenet database - I2

THIS PAGE BLANK (USPTO)

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平5-74813

(43) 公開日 平成5年(1993)3月26日

(51) Int.Cl.⁵

H 0 1 L 21/338

29/812

識別記号

庁内整理番号

F 1

技術表示箇所

7739-4M

H 0 1 L 29/80

B

審査請求 未請求 請求項の数3(全 5 頁)

(21) 出願番号 特願平3-232664

(22) 出願日 平成3年(1991)9月12日

(71) 出願人 000005223

富士通株式会社

神奈川県川崎市中原区小田中1015番地

(71) 出願人 000154325

富士通カンタムデバイス株式会社

山梨県中巨摩郡昭和町大字紙漉阿原1000番地

(72) 発明者 二階堂 淳一郎

山梨県中巨摩郡昭和町大字紙漉阿原1000番地

株式会社富士通山梨エレクトロニクス内

(74) 代理人 弁理士 井桁 貞一

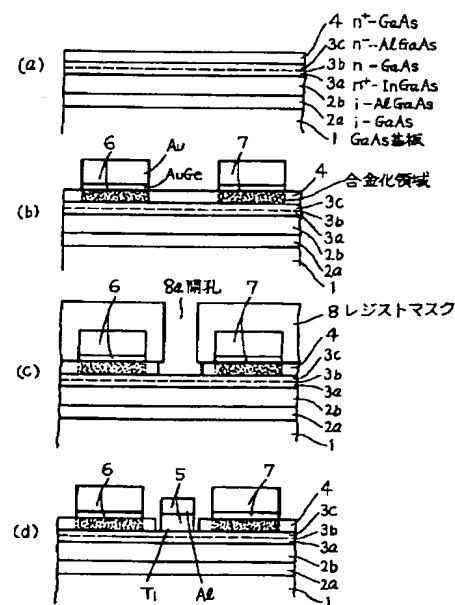
(54) 【発明の名称】 化合物半導体装置

(57) 【要約】

【目的】 化合物半導体装置に関し、性能を上げたショットキーバリア型電界効果トランジスタ(MESFET)の提供を目的とする。

【構成】 化合物半導体基板1と、化合物半導体基板1上に形成されたバッファ層2a、2bと、バッファ層2a、2b上に形成された動作層3a、3b、3cと、動作層3a、3b、3c上に形成され、動作層3a、3b、3cとショットキー接合するゲート電極5と、動作層3a、3b、3c上に形成されかつゲート電極5の両側に配置されたソース電極6及びドレイン電極7とを有する化合物半導体装置であって、動作層3a、3b、3cはIII-V族化合物半導体層からなり、その組成はバッファ界面からショットキー接合界面に向かってバンドギャップエネルギーが大きくなるように変化し、かつその不純物ドーピング濃度はバッファ界面からショットキー接合界面に向かって小さくなるように変化している化合物半導体装置により構成する。

実施例を示す工程順断面図



1

【特許請求の範囲】

【請求項1】 化合物半導体基板(1)と、
該化合物半導体基板(1)上に形成されたバッファ層(2a, 2b)と、
該バッファ層(2a, 2b)上に形成された動作層(3a, 3b, 3c)と、
該動作層(3a, 3b, 3c)上に形成され、該動作層(3a, 3b, 3c)とショットキー接合するゲート電極(5)と、
該動作層(3a, 3b, 3c)上に形成されかつ該ゲート電極(5)の両側に配置されたソース電極(6)及びドレイン電極(7)とを有する化合物半導体装置であって、
該動作層(3a, 3b, 3c)はIII-V族化合物半導体層からなり、その組成はバッファ界面からショットキー接合界面に向かってバンドギャップエネルギーが大きくなるように変化し、かつその不純物ドーピング濃度はバッファ界面からショットキー接合界面に向かって小さくなるように変化していることを特徴とする化合物半導体装置。

【請求項2】 前記動作層(3a, 3b, 3c)はショットキー接合界面近傍に電子捕獲準位を有することを特徴とする請求項1記載の化合物半導体装置。

【請求項3】 前記動作層(3a, 3b, 3c)はバッファ界面側がInGaAs系であり、ショットキー接合界面側がAlGaAs系であることを特徴とする請求項2記載の化合物半導体装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は化合物半導体装置に係り、特にショットキーバリア型電界効果トランジスタ(MESFET)に関する。

【0002】GaAs系MESFETは一般にマイクロ波以上の帯域の高周波通信に使用されているが、その性能向上への努力が絶えず続けられている。

【0003】

【従来の技術】図6(a)～(c)は高出力用GaAs系MESFETの従来例を示す断面図であり、1はGaAs基板、2はバッファ層であってi-GaAs、3は動作層であってn-GaAs、32a, 32b, 32cは動作層であって、それぞれn⁺-GaAs、n⁻-GaAs、接合空乏層、4はコンタクト層であってn⁺-GaAs、5はゲート電極、6はソース電極、7はドレイン電極、11はストップバであってAlGaAsを表す。

【0004】以下、これらの図を参照しながら、従来例について説明する。

図6(a) 参照

高出力用MESFETでは出力を大きくとるので、表面リークを避けるためゲート電極形成位置の動作層3を所定の電流値が得られるまで掘り込み、そこにゲート電極5を形成する。

【0005】掘り込みはウェットエッチングにより行い、リセス形状とするが、エッチングの制御が難しく、

2

精度よく所定の性能を出すことが難しい。

図6(b) 参照

そのため、所定の厚さの動作層3の上に極く薄いAlGaAsのストップ層11を設け、その上にコンタクト層4を形成し、コンタクト層4の掘り込みは選択ドライエッチングにより行い、その後、露出したストップ層11を除去してリセス形状とすることも行われる。

【0006】しかし、いずれにせよゲート電極は動作層上に形成されるので、動作層の電子濃度が大きくなるとゲートリーク電流を生じ、そのため動作層の不純物濃度をある値の所までしか上げることができなかった。その結果、特性もあまり向上できなかった。

【0007】図6(c) 参照

このような経緯から、動作層表面の不純物濃度を下げた階段接合構造が提案された。即ち、動作層をn⁺-GaAs(32a)とn⁻-GaAs(32b)の接合構造とするものであるが、やはり表面のリーク電流成分が多いことと、接合による電子空乏層32cが発生することで特性はあまり向上しなかった。

20 【0008】

【発明が解決しようとする課題】本発明は上記の問題に鑑み、動作層においてその組成が傾斜型に変化するように形成し、かつ不純物濃度も傾斜型に変化するようにして、高性能が引き出せるようにした構造の化合物半導体装置を提供することを目的とする。

【0009】

【課題を解決するための手段】図1(a)～(d)は、本発明の実施例を示す工程順断面図、図2は動作層における組成の推移を示す図、図3は動作層における電子濃度の推移を示す図、図4は動作層におけるバンドギャップエネルギーの推移を示す図である。

【0010】上記課題は、化合物半導体基板1と、該化合物半導体基板1上に形成されたバッファ層2a, 2bと、該バッファ層2a, 2b上に形成された動作層3a, 3b, 3cと、該動作層3a, 3b, 3c上に形成され、該動作層3a, 3b, 3cとショットキー接合するゲート電極5と、該動作層3a, 3b, 3c上に形成されかつ該ゲート電極5の両側に配置されたソース電極6及びドレイン電極7とを有する化合物半導体装置であって、該動作層3a, 3b, 3cはIII-V族化合物半導体層からなり、その組成はバッファ界面からショットキー接合界面に向かってバンドギャップエネルギーが大きくなるように変化し、かつその不純物ドーピング濃度はバッファ界面からショットキー接合界面に向かって小さくなるように変化している化合物半導体装置によって解決される。

【0011】また、前記動作層3a, 3b, 3cはショットキー接合界面近傍に電子捕獲準位を有する化合物半導体装置によって解決される。また、前記動作層3a, 3b, 3cがバッファ界面側がInGaAs系であり、ショットキー接合界面側がAlGaAs系である化合物半導体装置に

50

よって解決される。

【0012】

【作用】本発明では、動作層3a, 3b, 3cはIII-V族化合物半導体層からなり、その組成はバッファ界面からショットキー接合界面に向かってバンドギャップエネルギーが大きくなるように変化しているため、ショットキー接合界面近傍ではバンドギャップエネルギーが大きな組成となる。そのため、リーク電流成分を減らすことができる。

【0013】動作層3a, 3b, 3cの組成は変化させることにより（図2参照）、化合物半導体基板1との格子定数からのずれによる歪みを緩和し、格子欠陥を生じないようにすることができる。

【0014】不純物ドーピング濃度はバッファ界面からショットキー接合界面に向かって小さくなるように変化しているから、ショットキー接合界面近傍では電子濃度が低く、リーク電流成分を減らすことができる。電子濃度の断続的な変化もないから、接合空乏層も発生しない。

【0015】しかも、実際に電子が流れる活性領域部分では電子濃度を上げ性能を向上できるようにしている。また、ショットキー接合界面近傍に電子捕獲準位があれば、そこでは電子濃度が急減し（図3参照）、リーク電流を減らすのに極めて効果的である。

【0016】また、動作層のバッファ界面側がInGaAs系、ショットキー接合界面側がAlGaAs系であるようにすれば、効果的に目的が達成できる。

【0017】

【実施例】図1(a)～(d)は実施例を示す工程順断面図である。以下、これらの図を参照しながら、実施例について説明する。

【0018】図1(a)参照

分子線エピタキシー(MBE)により、GaAs基板1上にバッファ層となるi-GaAs層2a、i-Al_{0.30}Ga_{0.70}As層2bを、それぞれ5000Å, 10000Åの厚さに形成する。

【0019】次に、動作層3a, 3b, 3cとなるn⁺-InGaAs層、n-GaAs層、n⁻-AlGaAs層を連続成長する。まず、Inソースの温度を1100℃に設定して、In組成が0.40(In_{0.40}Ga_{0.60}As)となるようにし、Siソースの温度を1400℃に設定してドーピング濃度が $3 \times 10^{18} \text{ cm}^{-3}$ となるようにする。250Å成長する間にInソースの温度を徐々に1000℃まで下げてIn組成をゼロにする(GaAs)。Siソースの温度は250Å成長する間に徐々に1350℃まで下げてドーピング濃度が約 $6 \times 10^{17} \text{ cm}^{-3}$ まで下がるようにする。

【0020】次に、InソースをAlソースに切り換えて、温度を1000℃から1100℃まで徐々に上げ、その間、Al組成を徐々にゼロから0.30(Al_{0.30}Ga_{0.70}As)まで増すようにして250Å成長する。Siソースの温度は徐々に1300℃まで下げて最終的にドーピング濃度

が約 $1 \times 10^{17} \text{ cm}^{-3}$ となるようにする。

【0021】その後、Alソースは切り、温度を1400℃とする別のSiソースからドーパントを供給し、n⁺-GaAsのコンタクト層4を700Åの厚さに成長する。

図1(b)参照

真空蒸着法により、コンタクト層4の上に厚さが例えば400ÅのAuGe膜と厚さが例えば4000ÅのAu膜を連続して形成し、それをパターニングしてソース電極6、ドレイン電極7を形成する。

10 【0022】その後、450℃で合金化処理を行う。

図1(c)参照

レジストを塗布し、ゲート電極を形成するための開孔8aを有するレジストマスク8を形成する。開孔8aからコンタクト層4を、例えばCCl₄:F₂ガスで選択的にエッチングして除去する。この時、若干のサイドエッチングが生じるが、動作層であるn-Al_{0.30}Ga_{0.70}As層(3c)はエッチングされない。

【0023】図1(d)参照

レジストマスク8を残したまま、全面に厚さが例えば2000ÅのTi膜と厚さが例えば2000ÅのAl膜を連続して蒸着し、レジストマスク8を除去して(リフトオフ)、ゲート電極5を形成する。

【0024】図2は動作層における組成の推移を示す図で、動作層3a, 3b, 3cは連続的に変化する傾斜組成となる。即ち、バッファ界面(P₁)でIn_{0.40}Ga_{0.60}As、ショットキー接合界面(P₂)でAl_{0.30}Ga_{0.70}As、その間でGaAsとなっている。

【0025】図3は動作層における電子濃度の推移を示す図で、バッファ界面(P₁)では $3 \times 10^{18} \text{ cm}^{-3}$ 、ショットキー接合界面(P₂)近傍では $1 \times 10^{17} \text{ cm}^{-3}$ 程度に減少する。さらに、Siドーパの場合、ショットキー接合界面(P₂)近傍ではDXセンタと呼ばれる深い電子捕獲準位が生じて、電子濃度はショットキー接合界面では $1 \times 10^{16} \text{ cm}^{-3}$ 程度にまで激減している。

【0026】この電子捕獲準位の発生は、SiドーパのAlGaAs層において顕著であり、ゲートリーク電流を押さえるのに効果的である。図4は動作層におけるバンドギャップエネルギーの推移を示す図である。

【0027】バンドギャップエネルギーはバッファ界面(P₁)では0.8 eV、ショットキー接合界面(P₂)では1.7 eVとなり、P₁点からP₂点に向けて徐々に大きくなっている。

【0028】ゲート電極5直下の動作層3cでは、バンドギャップエネルギーが大きく、かつ電子濃度が低いので、ゲートリーク電流がなくなり、特性の劣化が生じない。また、ショットキー空乏層を介して動作する活性領域3aでは、バンドギャップエネルギーが小さく、かつ電子速度の速い(有効質量の小さい)InGaAs層があり、電子濃度も高いので、特性が良好となる。

【0029】さらに、動作層の組成は徐々に変化させて

5

いるので、基板1との格子定数のずれによる歪みが緩和される。動作層の中間点の組成はGaAsで基板と等しく、中間点からショットキー接合界面(P₂)に向かうAlGaAsは、格子定数がGaAsとほぼ等しい組成である。また、中間点からバッファ界面(P₁)に向かうInGaAsは、格子定数がGaAsより大きい組成であるが、組成の変化は徐々にあり、動作層全体の厚さも500Åと薄いので、歪みに基づく格子欠陥は生じない。

【0030】この実施例のMESFETは、12GHzにおけるP₁ dB (1dB利得圧縮点電力) が650mW/mm、小信号利得16dBであった。これに対して、従来構造のMESFET (図6(c))では、12GHzにおけるP₁ dBが450mW/mm、小信号利得が10dBであり、本発明の効果が確認できた。

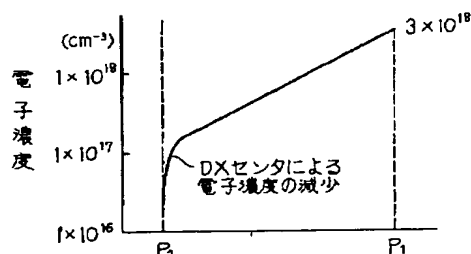
【0031】図5は他の実施例を示す断面図である。化合物半導体基板1、バッファ層2a、2b、コンタクト層4、ゲート電極5、ソース電極6、ドレイン電極7は前述の実施例と同じであるが、動作層の組成は、バッファ界面(P₁)ではn⁺-In_{0.3}Ga_{0.7}P (31a)、ショットキー接合界面(P₂)ではn⁻-In_{0.45}Al_{0.55}P (31c)、その中間ではAlとInの組成が徐々に連続して推移するn-In_xAl_{1-x}Ga_{1-y}P (31b)となっている。

【0032】さらに、動作層へのSiドーピング量は、前述の実施例と同じくバッファ界面(P₁)からショットキー接合界面(P₂)に向けて徐々に小さくする。バンドギャップエネルギーはバッファ界面(P₁)では1.65eV、ショットキー接合界面(P₂)では2.33eVで、P₁点からP₂点に向けて徐々に大きくなっている。

【0033】この場合も前述の実施例と同様に、ゲートリーク電流は抑制され、特性の劣化が生じない。ショットキー空乏層を介して動作する活性領域31aでは、バンドギャップエネルギーが小さく、かつ電子速度の速いInGaP層があり、電子濃度も高いので、特性が良好となる。

【図3】

動作層における電子濃度の推移を示す図



6

【0034】バッファ界面のn⁺-In_{0.3}Ga_{0.7}Pの格子定数は5.74Å、ショットキー接合界面のn⁻-In_{0.45}Al_{0.55}Pの格子定数は5.68Åであり、その間、組成が連続的に変化しているので、GaAs基板の格子定数5.65Åとのずれによる歪みは緩和され、格子欠陥を生じない。

【0035】なお、バッファ界面P₁からショットキー接合界面P₂に至る化合物半導体の組成は、実施例では連続的に変化するようにしたが、ステップ的に変化するようにしてもよい。

【0036】

【発明の効果】以上説明したように、本発明によれば、ショットキーバリア型電界効果トランジスタを高性能化することができる。

【図面の簡単な説明】

【図1】(a)～(d)は実施例を示す工程順断面図である。

【図2】動作層における組成の推移を示す図である。

【図3】動作層における電子濃度の推移を示す図である。

【図4】動作層におけるバンドギャップエネルギーの推移を示す図である。

【図5】他の実施例を示す断面図である。

【図6】(a)～(c)は従来例を示す断面図である。

【符号の説明】

1は化合物半導体基板であってGaAs基板

2, 2a, 2bはバッファ層

3, 3a, 3b, 3c, 31a, 31b, 31c, 32a, 32b, 32cは動作層

4はコンタクト層

5はゲート電極

6はソース電極

7はドレイン電極

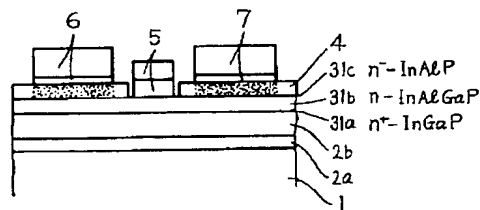
8はレジストマスク

8aは開孔

11はストッパ

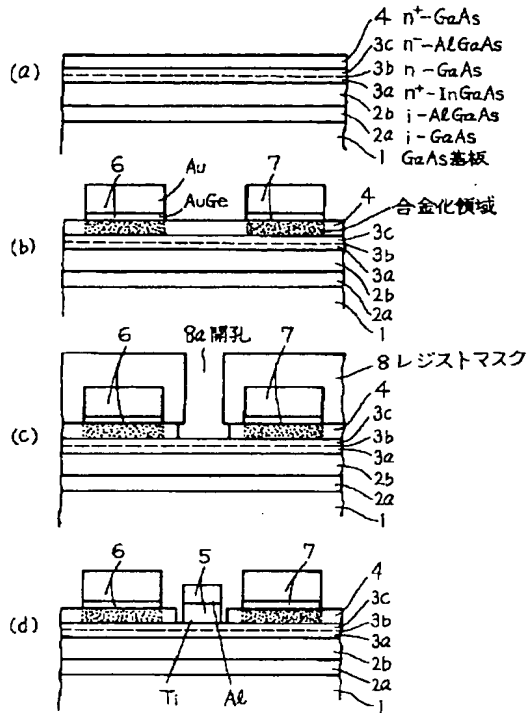
【図5】

他の実施例を示す断面図



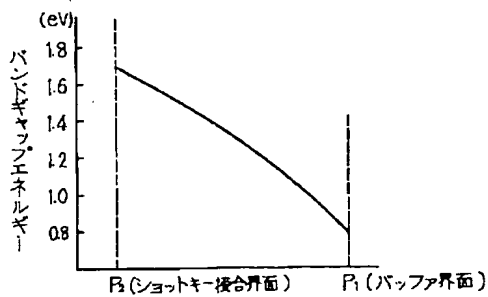
【図1】

実施例を示す工程順断面図



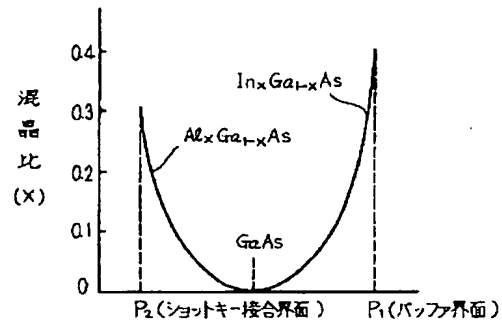
【図4】

動作層におけるバンドギャップエネルギーの推移を示す図



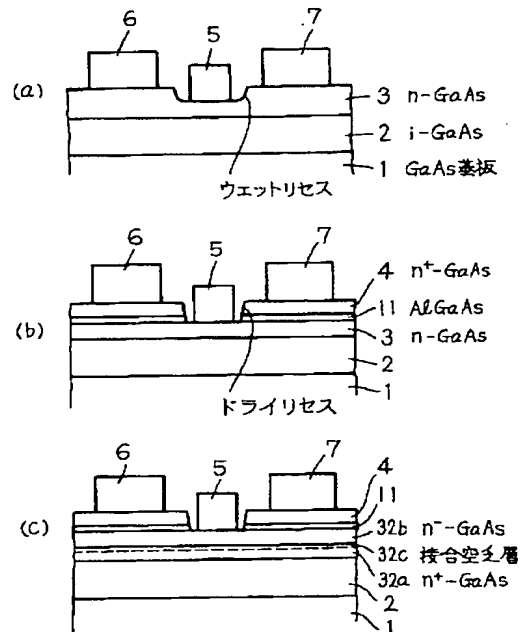
【図2】

動作層における組成の推移を示す図



【図6】

従来例を示す断面図



THIS PAGE BLANK (CONT.)